

Тригери

Загальні відомості

Тригером називається пристрій з двома стійкими станами. Тригери являють собою найпростіші послідовні пристрої і широко використовуються в електронних пристроях різного призначення як у вигляді самостійних вузлів, так і як елементи для побудови більш складних цифрових пристроїв (лічильників, регістрів, запам'ятовуючих пристроїв). Основною властивістю тригера є наявність пам'яті, під якою мається на увазі його здатність зберігати свій стан («0» або «1») і після припинення дії зовнішніх сигналів. Таким чином, тригер є елементарною коміркою пам'яті для зберігання одного двійкового розряду числа.

Узагальнена схема тригерного пристрою показана на рис. 1 та складається з пристрою управління УУ та тригерної комірки ТЯ.

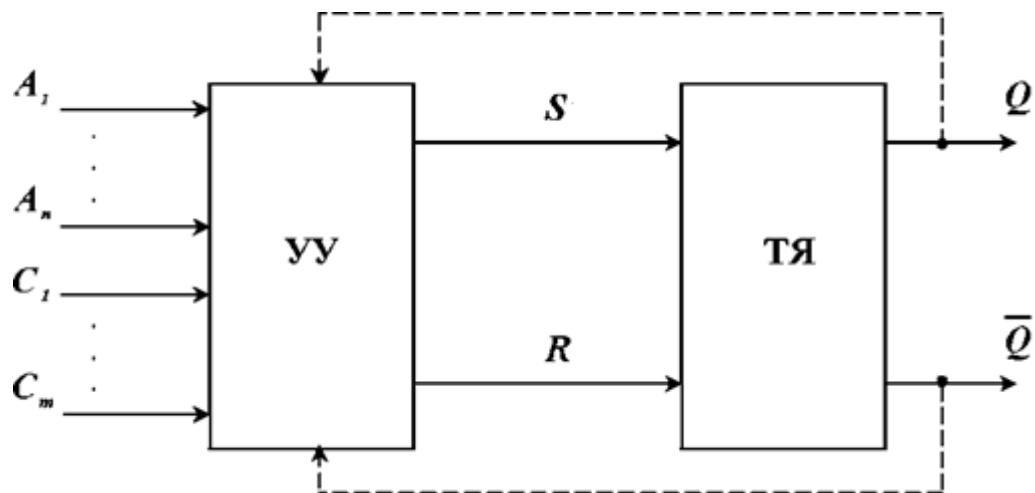


Рис. 1. Структурная схема триггера

На рис.1 сигнали мають таке призначення: $A_j \dots A_n$ – інформаційні сигнали; $C_1 \dots C_m$ – тактові сигнали; S (*set*), R (*reset*) – вхідні сигнали; Q – вихідні сигнали.

RS - тригери

RS-тригер має два входи керування S (*set*), R (*reset*), з допомогою яких виконується встановлення тригера в той або інший стан (рис. 2):

$Q = 1$ при $S=1$ та $R=0$ (встановлення тригера);

$Q = 0$ при $S=0$ и $R=1$ (скидання триггера);

$Q^{n+1} = Q^n$: при $S=R=0$ (режим зберігання попереднього стану);

$S=R=1$ – заборонена комбінація сигналів керування, яка може привести до невизначеного стану триггера.

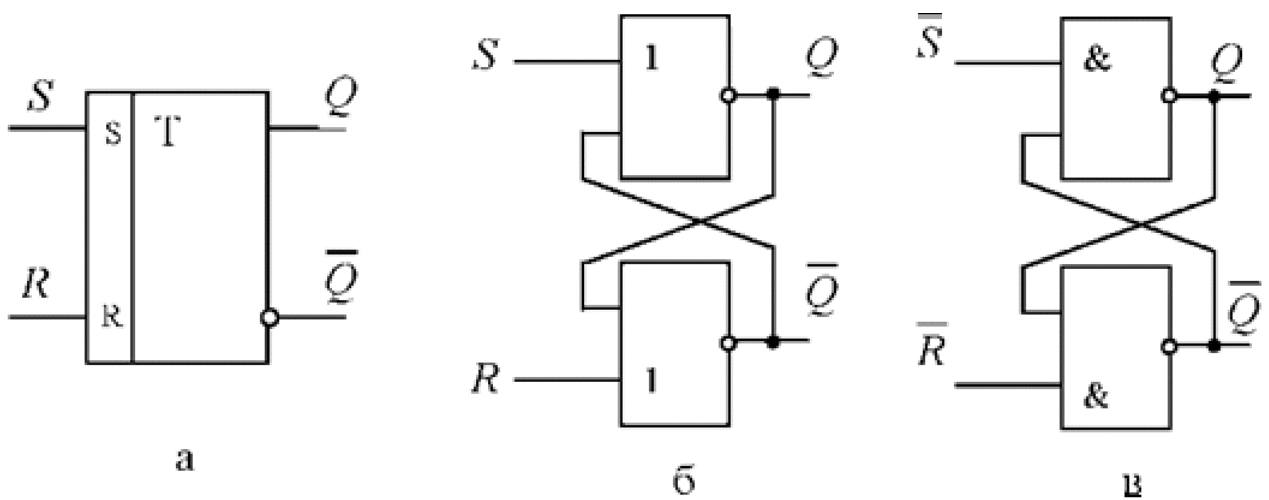


Рис. 2. RS-тригери

Таблиця 1
Повна таблиця станів RS тригера

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
		} Q^n	
0	1	0	1
0	1	1	1
		} 1	
1	0	0	0
1	0	1	0
		} 0	
1	1	0	×
1	1	1	×
		} ×	

Таблиця 2
Скорочена таблиця станів

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	×

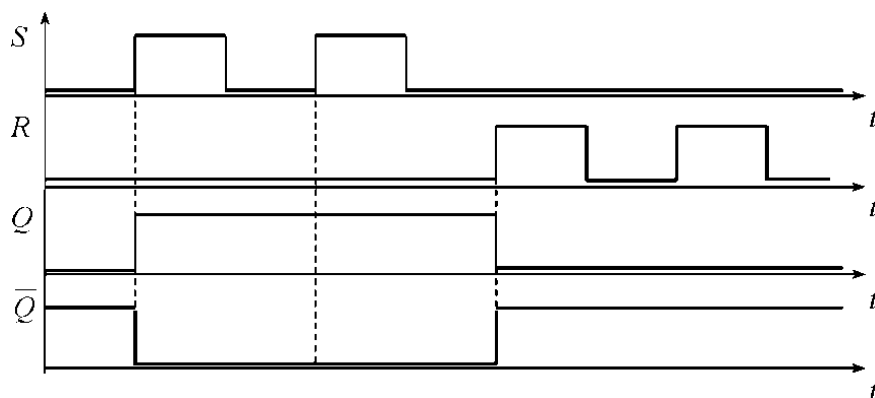


Рис. 3. Часові діаграми роботи RS тригера

Розглянутий тригер є асинхронним, тому що зміна його стану відбувається безпосередньо з надходженням сигналів. Принцип роботи асинхронного RS-тригера пояснюється часовими діаграмами, показаними на рис. 3.

Схемотехнічно RS-тригер може бути реалізований на елементах 2АБО-НЕ (рис. 2, б) та 2 І-НЕ (рис. 2, в) з використанням перехресних позитивних

зворотних зв'язків. У тригері на елементах 2І-НЕ зміна стану відбувається при низьких рівнях сигналів \bar{S} і \bar{R} .

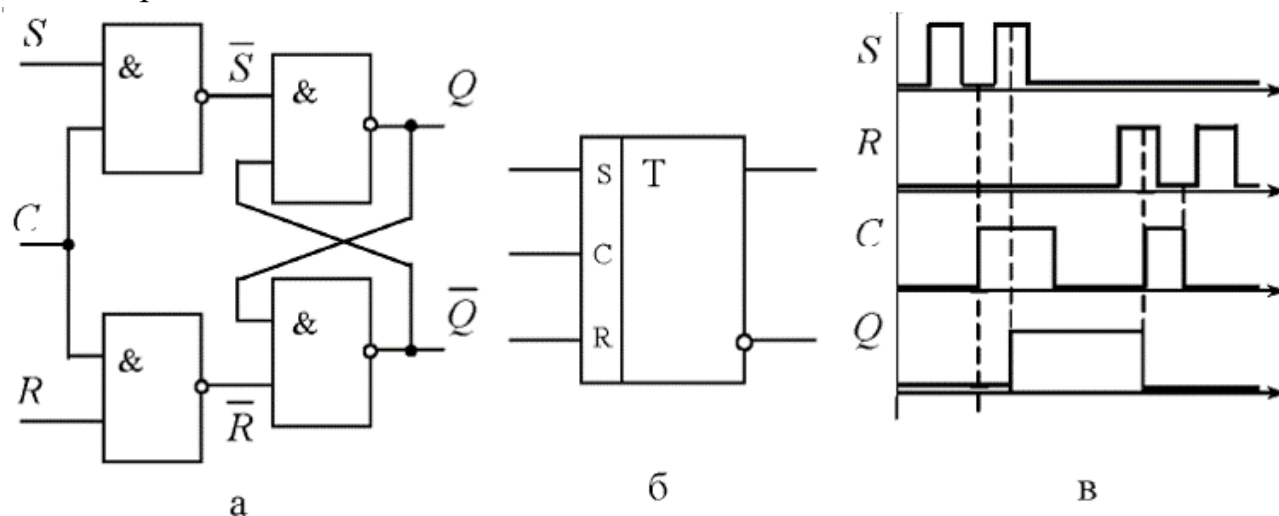


Рис. 4. RS-тригер зі синхронізацією за рівнем

У RS-тригері з синхронізацією по фронту зміна стану відбувається в момент зміни рівня сигналу C. При цьому можлива синхронізація як за переднім, так і за заднім фронтом (зрізу). Такі тригери будуються за двоступеневою схемою і в них процеси прийому і запису даних розділені в часі. Схема тригера з синхронізацією за заднім фронтом та його умовне позначення наведені на рис. 5.

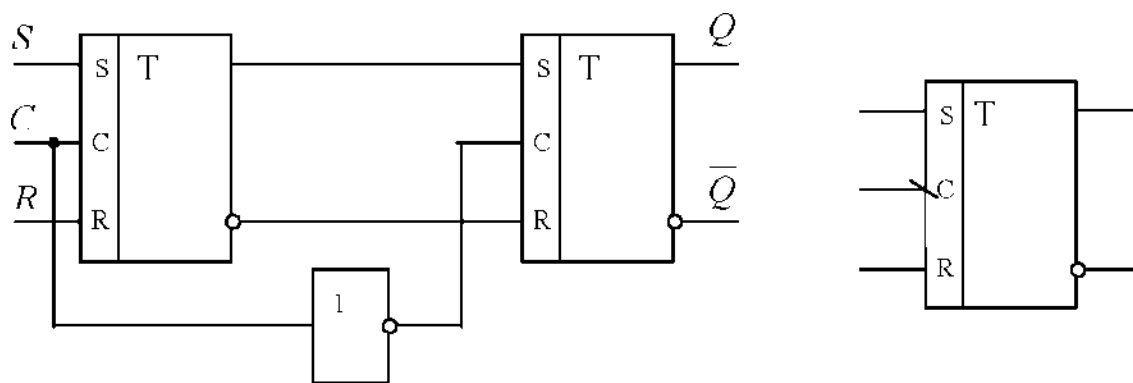


Рис. 5 – RS-тригер з синхронізацією за заднім фронтом

У синхронних RS-тригерах можуть бути використані різні способи синхронізації. На рис. 4, а і б показана схемотехнічна реалізація та умовне позначення RS-тригера з синхронізацією за рівнем (високий). На рис. 4, в наведені діаграми роботи такого тригера. Зміна станів відбувається тільки при високих рівнях сигналу синхронізації C.

Двоступеневий тригер будують за способом «М-S» і забезпечують поєднання двох процесів - одночасного записування нової інформації та зчитування старої. При подачі високого рівня сигналу C проводиться запис в перший тригер (прийом даних), а після закінчення сигналу C - запис у другий тригер.

Двоступеневий RS-тригер застосовується для побудови інших більш складних типів тригерів і регістрів зсуву.

Під час дії синхроімпульсу С перший ступінь «М» (Master - основний) приймає нову вхідну інформацію, а друга ступінь "S" (Slave - допоміжній) в цей час передає у зовнішні схеми стару інформацію. По завершенню синхроімпульсу С інформація з першої ступені переписується до другої ступені.

При однотоктному обміні інформацією зв'язок між ступенями реалізується за допомогою інвертора (рис. 6, а), забороняючими зв'язками (рис. 6, б) або різнополярного керування (рис. 6, в). При двотоктному обміні зв'язок між ступенями забезпечується двома серіями синхросигналів - С1 і С2 (рис. 6, г).

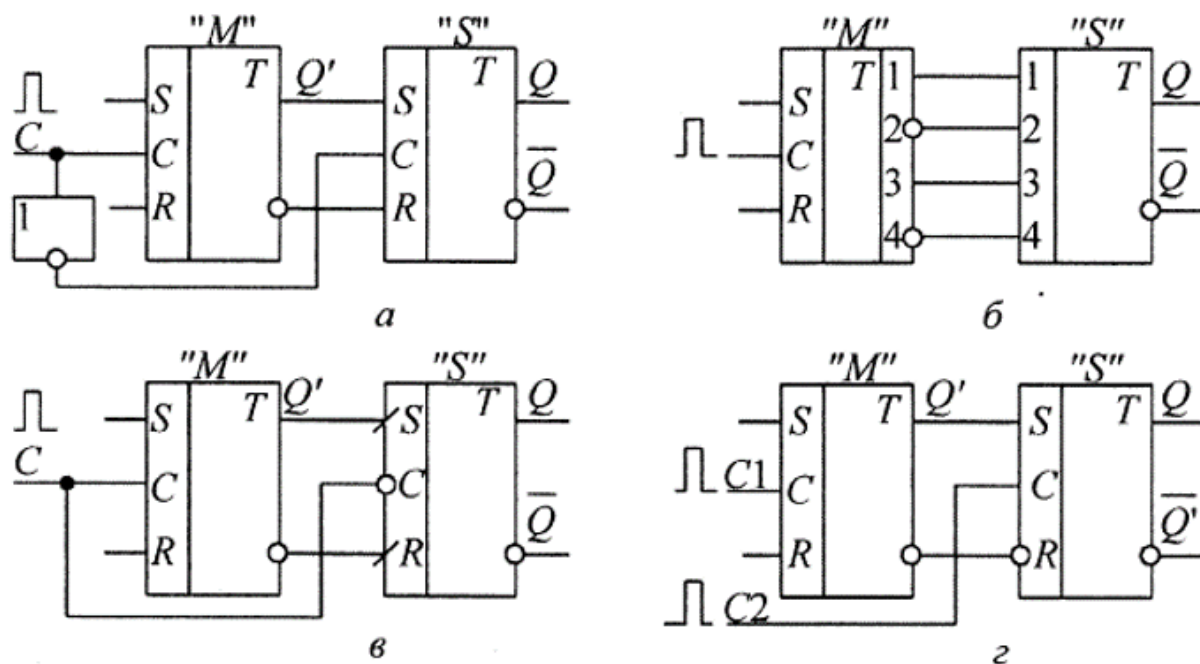


Рис. 6. Організація зв'язку між ступенями тригера: а — з інвертором; б — із забороняючими зв'язками; в — з різнополярним керуванням; г — з двофазним обміном

JK-тригери

JK-тригер має два керуючих входу **J** (jump) і **K** (keep) і функціонує подібно RS-тригеру, але при цьому не має заборонених комбінацій керуючих сигналів. **J** - вхід подібний **S** - входу, а **K**-вхід подібний **R**-входу. При всіх комбінаціях сигналів на вході, крім $J = K = 1$, він діє подібно RS-тригеру. При $J = K = 1$ в кожному такті відбувається «перекидання» тригера і його стан змінюється на протилежне (табл. 3). На рис. 6 показано умовне позначення JK-тригера з синхронізацією по передньому фронту.

Таблиця 3. Таблиця станів JK-тригера

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

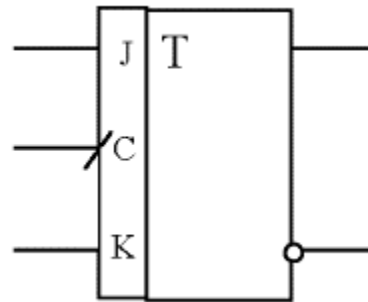


Рис. 6. JK-тригер

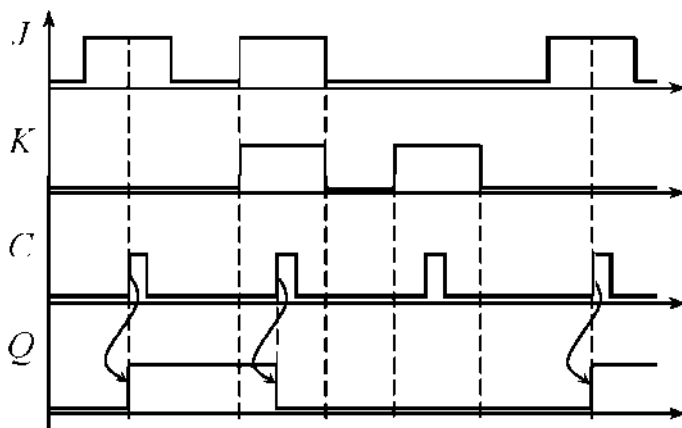


Рис. 7. Діаграми роботи JK-тригера

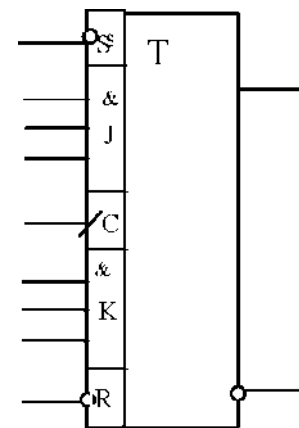


Рис. 8. Мікросхема 7472

Робота JK-тригера пояснюється часовими діаграмами на рис. 7. JK-тригери відносяться до універсальних пристроїв щодо їх застосування як для побудови інших типів тригерів, так і більш складних пристроїв послідовного принципу дії. У всіх серіях ІС випускаються JK-тригери з різними функціональними можливостями. Наприклад, мікросхема 155ТВ1(SN7472) (рис. 8) має по три входи J і K, які зв'язані логічною операцією І, що суттєво розширює можливості її застосування при реалізації різних алгоритмів управління станами тригера без застосування додаткових елементів.

Т-тригери

Т-тригери називають лічильними і застосовуються для побудови лічильників та дільників частоти. Такий тригер має один тактовий вхід і його стан змінюється кожен раз при подачі тактового імпульсу $T = 1$ і залишається незмінним при $T = 0$. Таблиця стану тригера наведена в табл. 4. Позначення Т-тригера і діаграми роботи наведені на рис. 9.

Таблиця 4. Таблиця станів Т-тригера

T	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

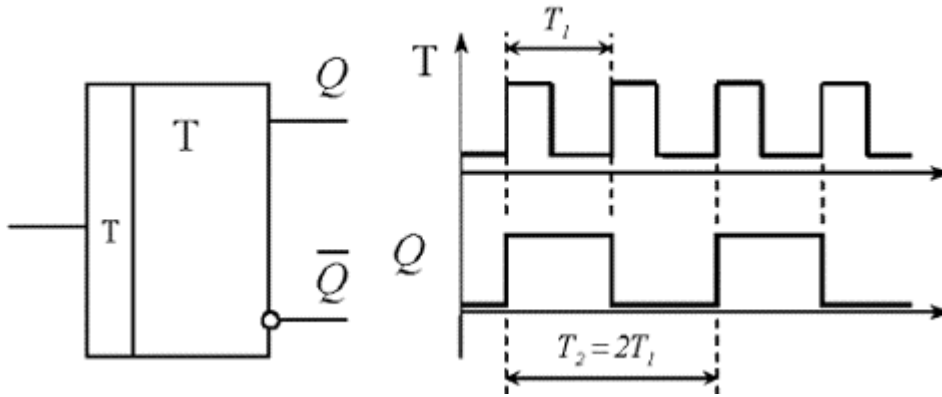


Рис. 9. Т-триггер

Як видно з рис. 9, Т-триггер ділить частоту вхідних імпульсів в 2 рази. Для отримання великих значень коефіцієнта ділення частоти застосовується каскадне з'єднання Т-тригерів. Як самостійний виріб Т-триггер у вигляді ІС не випускається і при необхідності реалізується на базі інших типів тригерів. Наприклад, JK-триггер при $J = 1$ і $K = 1$ (рис. 10, а) перетворюється в Т-триггер. Приклад реалізації Т-тригера на основі RS-тригера показаний на рис. 10, б.

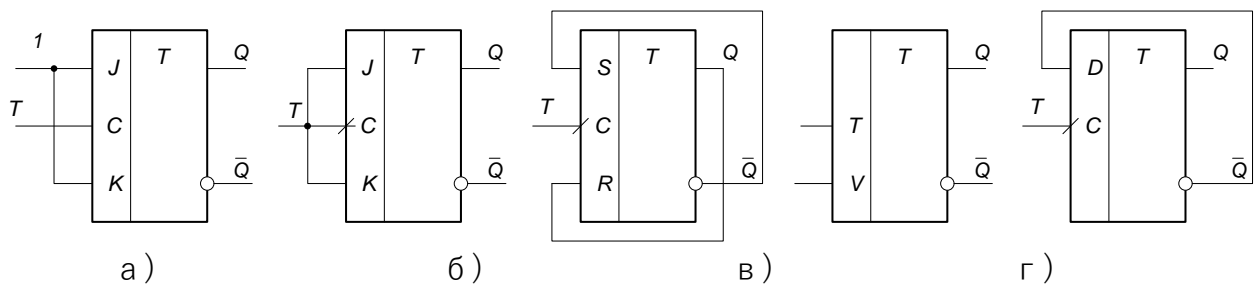


Рис. 10. Варіанти реалізації Т-тригера

В окремих випадках для розширення функціональних можливостей Т-триггер забезпечується R і V-входами (вхід дозволу зміни стану). Такі TV -тригери (рис. 10, в) застосовуються для побудови синхронних лічильників.

Д-тригери

Особливістю D-тригера (тригера затримки) є те, що він зберігає інформацію, що надійшла на D-вхід в попередньому такті роботи до приходу синхроімпульсу,

тобто його стан може змінюватися з затримкою на один такт. Синхронізація роботи проводиться за переднім або заднім фронтом. Умовне позначення D-тригера з синхронізацією за переднім фронтом та діаграми його роботи показані на рис. 11.

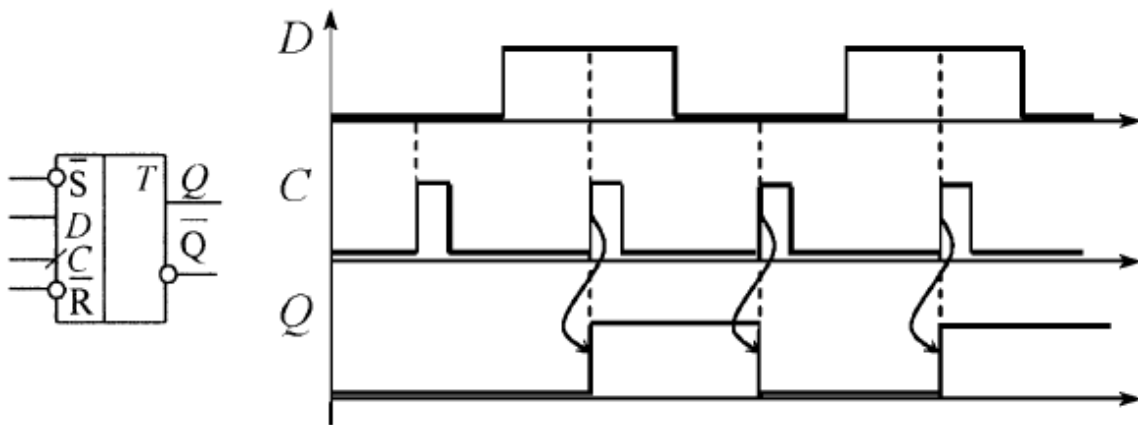


Рис. 11. D-тригер

Входи				Виходи	
\bar{S}	\bar{R}	C	D	Q	\bar{Q}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	Не визначено	
1	1	0→1	1	1	0
1	1	0→1	0	0	1
1	1	0	X	Не міняється	
1	1	1	X	Не міняється	
1	1	1→0	X	Не міняється	

У DV-тригерах є додатковий V-вхід для дозволу зміни стану. D-тригери є основою для побудови регістрів різного типу. D-тригер може бути реалізований на базі JK- тригера шляхом виключення комбінації $J = K$ (рис. 12, а).

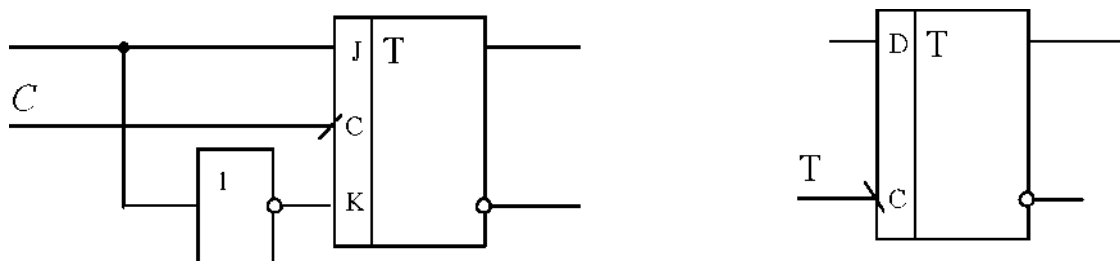


Рис. 12. Варіанти реалізації D-тригера

На базі D-тригера може бути реалізований T-тригер, якщо інверсний вихід з'єднати з D-входом (рис. 10, г).

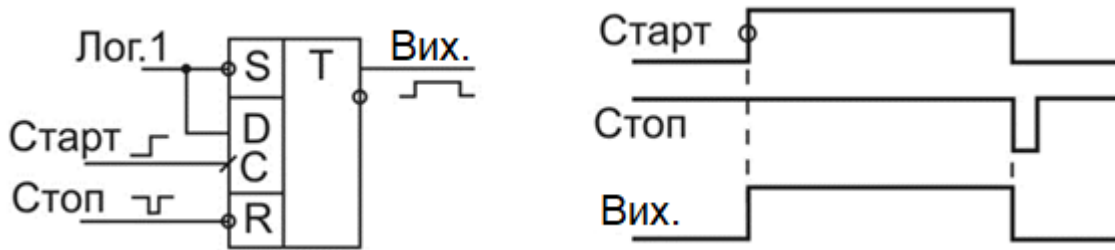


Рис.13 Приклад застосування D тригера: флаг та синхронізація

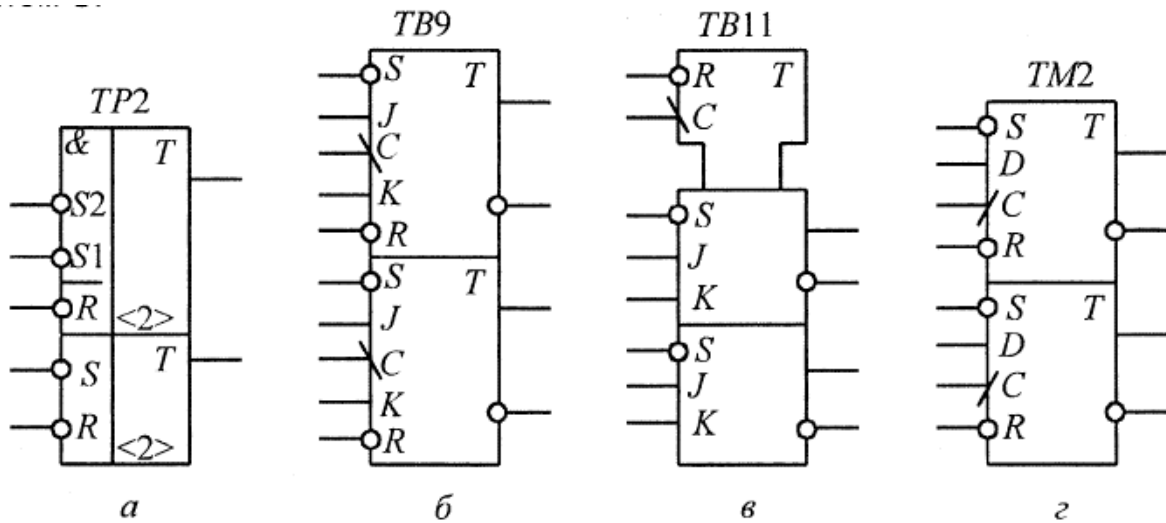


Рис. 14. Схеми тригерів серії КР1533: а) TP2 — чотири RS- тригери; б) ТВ9 — два JK-тригери; в) ТВ11 — два JK-тригери із загальним входом скидання і синхронізації за спадом С; г) ТМ2 — два D-тригери з динамічним керуванням за фронтом С.